



Generated Document.

(21) Application number: 05279248

(51) Intl. Cl.: G06F 17/50 G01R 31/28

(22) Application date: 09.11.93

(71)
Applicant: HITACHI LTD

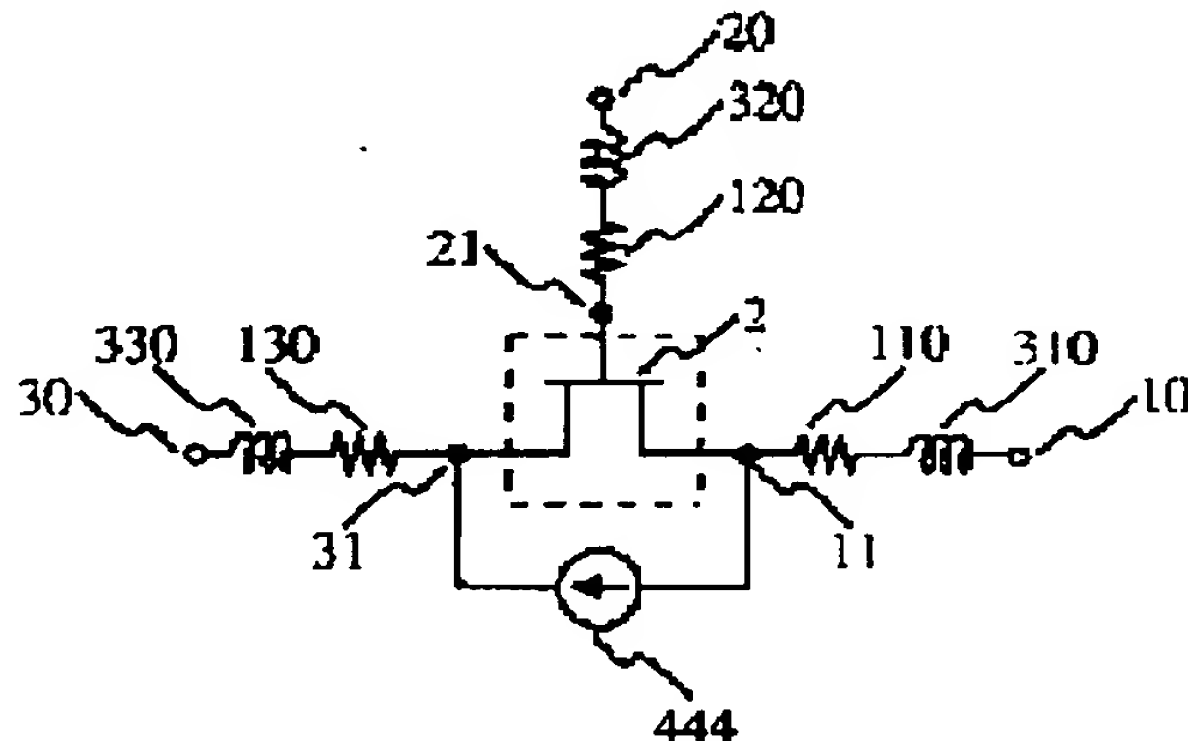
(72) Inventor: OHIRA MASATERU

(74)
Representative:

(57) Abstract:

PURPOSE: To provide a highly accurate verification method of an electronic circuit by using an equivalent electronic circuit capable of simultaneously expressing the output resistance of an active element and the frequency dependency of mutual conductance and performing high frequency analysis in a gigahertz band.

CONSTITUTION: The current value of a voltage controlled current source 444 is controlled by a voltage V13 between terminals 11 and 31, a DC bias voltage V4 between the terminals 11 and 31, a change voltage V5 ($=V13-V4$), the voltage V23 between the terminals 21 and 31, the DC bias voltage V6 between the terminals 21 and 31 and the change voltage V7 ($=V23-V6$.) At the time of DC the V5 and the V7 are zero and the current value of the current source 444 becomes zero. However, in the case of being accompanied by timewise change, the current value of the current source 444 is controlled corresponding to the values of the V13, V23, V4, V5, V6 and V7.



COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-129656

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 17/50

G 0 1 R 31/28

7623-5L

G 0 6 F 15/ 60

3 6 0 D

G 0 1 R 31/ 28

F

審査請求 未請求 請求項の数6 O L (全 11 頁)

(21) 出願番号

特願平5-279248

(22) 出願日

平成5年(1993)11月9日

(71) 出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者

大平 昌輝

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人

弁理士 小川 勝男

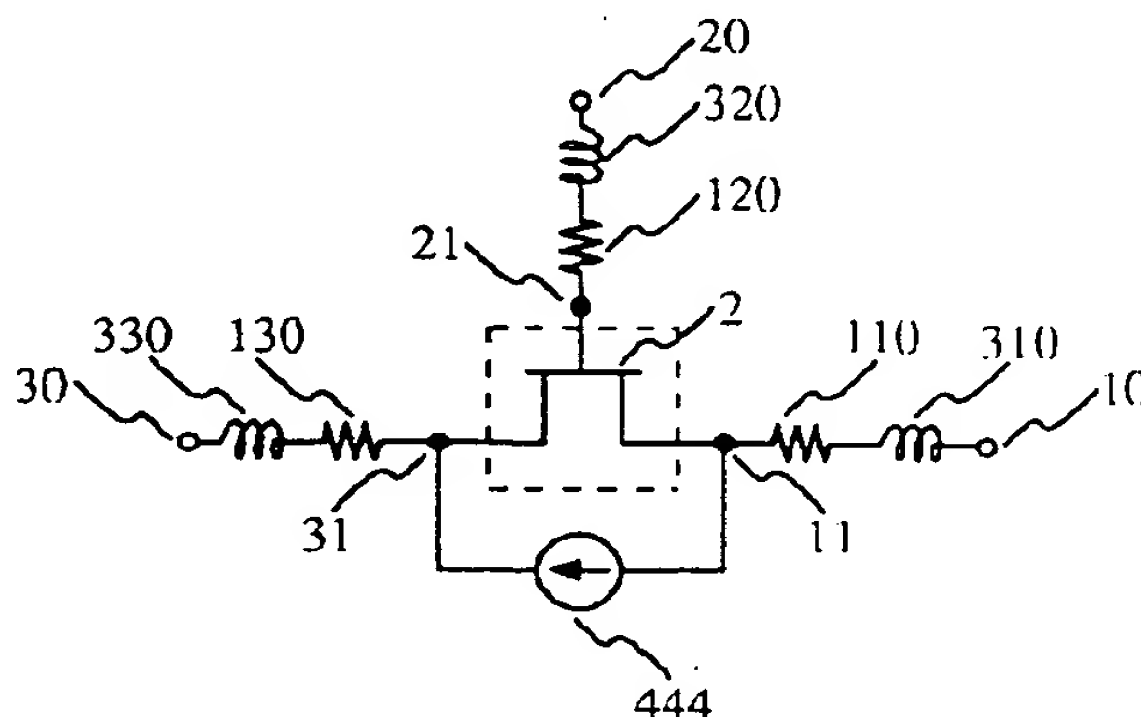
(54) 【発明の名称】 電子回路のシミュレーション方法

(57) 【要約】

【目的】 能動素子の出力抵抗と相互コンダクタンスの周波数依存性を同時に表現でき、かつギガヘルツ帯での高周波解析を可能とする等価電気回路を使用することにより、精度の高い電気回路の検証方法を提供する。

【構成】 電圧制御電流源444の電流値を、端子11-31間の電圧V13と、端子11-31間の直流バイアス電圧V4と、変化電圧V5(=V13-V4)と、端子21-31間の電圧V23と、端子21-31間の直流バイアス電圧V6と、変化電圧V7(=V23-V6)によって制御をおこなう。直流時にはV5とV7はゼロであり、電流源444の電流値はゼロとなるが、時間変化を伴う場合はV13、V23、V4、V5、V6、V7の値に応じて電流源444の電流値が制御される。

図3



【特許請求の範囲】

【請求項 1】 少なくとも 2 個以上の電極端子を有する能動素子を含む電子回路のシミュレーション方法において、該能動素子の等価電気回路として、ある 2 個の端子 1 と端子 2 の間に少なくとも 1 個の電流源 3 を有する電気回路であって、該電流源 3 の電流値が、該端子 1 と該端子 2 の間の直流バイアス電圧値 4 及び、該端子 1 と該端子 2 の間の端子間電圧から該直流バイアス電圧値 4 を差し引いた電圧値 5 の、2 個の電圧により制御される等価電気回路を使用することを特徴とした電子回路のシミュレーション方法。

【請求項 2】 少なくとも 3 個以上の電極端子を有する能動素子を含む電子回路のシミュレーション方法において、該能動素子の等価電気回路として、ある 2 個の端子 1 と端子 2 の間に少なくとも 1 個の電流源 3 を有する電気回路であって、該電流源 3 の電流値が、該端子 1 と該端子 2 の間の端子間電圧から、該端子 1 と該端子 2 の間の直流バイアス電圧を差し引いた電圧値 4 及び、該端子 1 と該端子 2 とは異なる端子 5 と、該端子 5 とは異なる端子 6 との間の直流バイアス電圧値 7 の、2 個の電圧により制御される等価電気回路を使用することを特徴とした電子回路のシミュレーション方法。

【請求項 3】 少なくとも 3 個以上の電極端子を有する能動素子を含む電子回路のシミュレーション方法において、該能動素子の等価電気回路として、ある 2 個の端子 1 と端子 2 の間に少なくとも 1 個の電流源 3 を有する電気回路であって、該電流源 3 の電流値が、該端子 1 と該端子 2 の間の直流バイアス電圧値 4 及び、該端子 1 と該端子 2 とは異なる端子 5 と、該端子 5 とは異なる端子 6 との間の端子間電圧から、該端子 5 と該端子 6 の間の直流バイアス電圧を差し引いた電圧値 7 の、2 個の電圧により制御される等価電気回路を使用することを特徴とした電子回路のシミュレーション方法。

【請求項 4】 少なくとも 3 個以上の電極端子を有する能動素子を含む電子回路のシミュレーション方法において、該能動素子の等価電気回路として、ある 2 個の端子 1 と端子 2 の間に少なくとも 1 個の電流源 3 を有する電気回路であって、該電流源 3 の電流値が、該端子 1 と該端子 2 とは異なる端子 4 と、該端子 4 とは異なる端子 5 との間の直流バイアス電圧値 6 及び、該端子 4 と該端子 5 の間の端子間電圧から該直流バイアス電圧値 6 を差し引いた電圧値 7 の、2 個の電圧により制御される等価電気回路を使用することを特徴とした電子回路のシミュレーション方法。

【請求項 5】 少なくとも 3 個以上の電極端子を有する能動素子を含む電子回路のシミュレーション方法において、該能動素子の等価電気回路として、請求項 1 または請求項 2 または請求項 3 または請求項 4 記載の等価電気回路の電流源を少なくとも 2 個以上含む等価電気回路を使用することを特徴とした電子回路のシミュレーション

方法。

【請求項 6】 少なくとも 2 個以上の電極端子を有する能動素子を含む電子回路のシミュレーション方法において、該能動素子の等価電気回路として、ある 2 個の端子 1 と端子 2 の間に少なくとも 1 個の電流源 3 を有し、かつ該電流源 3 の電流値が、少なくともある 2 個の端子 4 と端子 5 の間の端子間電圧 6 を含んだ関数 7 に関する分数多項式 8 を含む形式で表わされる電気回路であって、該分数多項式 8 の分母の多項式の最高次数が、該分数多項式 8 の分子の多項式の最高次数以上である等価電気回路を使用することを特徴とした電子回路のシミュレーション方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電子回路シミュレータにおける能動素子を含む電子回路のシミュレーション方法に関する。

【0002】

【従来の技術】 以下では能動素子の例として電界効果トランジスタについて記述する。

【0003】 一般に電気回路のシミュレータにおいて使用されている電界効果トランジスタの等価電気回路を図 1 に示す。図 1 において 10, 20, 30 はそれぞれ電界効果トランジスタのドレイン、ゲート、ソース電極端子である。110, 120, 130 はそれぞれドレイン、ゲート、ソースの寄生抵抗であり、310, 320, 330 はそれぞれドレイン、ゲート、ソースの寄生インダクタンスである。また図 1 中点線内の記号 1 は図 2 の電気回路を表わす。図 2 において 212, 112 はそれぞれゲート・ドレイン間の容量及び抵抗であり、223, 123 はそれぞれゲート・ソース間の容量及び抵抗であり、213 はドレイン・ソース間の容量であり、412, 413, 423 は電圧により制御される電流源である。

【0004】 従来、ドレイン・ソース間電流を表わす電圧制御電流源 413 の電流値 $I(V23, V13)$ は α , β , λ をパラメータとして数 1 で表わされていた。

【0005】

【数 1】

$$I1 = \beta (V23 - Vth)^2 (1 + \lambda \cdot V13) \tanh(\alpha \cdot V13) \dots (数1)$$

【0006】 ここで $V13$ は端子 31 に対する端子 11 の電圧、 $V23$ は端子 23 に対する端子 21 の電圧、 Vth はトランジスタのしきい値電圧である。

【0007】 図 1 の電気回路は、GaAs 化合物半導体を用いた電界効果トランジスタにおいて直流から 1メガヘルツの低周波で生じるドレイン出力抵抗の周波数依存性を表現するため、それ自身では低周波でドレイン出力抵抗の周波数依存性のない図 2 の電気回路に並列に、抵

抗199と容量299からなる直列回路を付加したものである。

【0008】図1の電気回路はエレクトロニクス レター、第528頁から第529頁(1985)(Electronics Letters, vol.21, No.12, June 1985, PP528-PP529)において論じられ、数1はアイ・イー・イー・イー、トランザクション オン マイクロウェーブ シアリー アンド テクニック、第448頁から第455頁(1980)(IEEE, Trans. Microwave Theory And Techniques, vol.MTT-28, No.5, May 1980, PP448-455)において論じられている。

【0009】

【発明が解決しようとする課題】図1の電気回路では抵抗199と容量299の時定数を1キロヘルツ以下に設定する場合、ゲート幅1ミリメートルに対して容量299の値は100マイクロファラッド以上の値が必要でありギガヘルツ帯での解析上問題となる。また、ドレイン出力抵抗の周波数依存のバイアス依存性が表現不可能であること、大信号解析に対応しないこと、相互コンダクタンス g_m の低周波での周波数依存性を表現することができないこと、複数の異なる周波数領域でのドレイン出力抵抗及び相互コンダクタンスの周波数依存性に対応することができない、といった問題が存在する。

【0010】一方、数1では高ゲート電圧時におけるドレイン電流の飽和特性を解析することは不可能である。

【0011】本発明は単数個又は複数の周波数領域での出力抵抗の周波数依存性と相互コンダクタンスの周波数依存性を同時に表現でき、各々のバイアス依存性を実現し、ギガヘルツ帯での大信号解析を可能とし、かつ高ゲート電圧時におけるドレイン電流の飽和特性を解析可能とする能動素子の等価電気回路を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明において特徴的なのは図2の電流源413に並列に新たに電流源を付加し、この電流源の電流値をドレイン・ソース間の直流バイアス電圧と変化電圧、及びゲート・ソース間の直流バイアス電圧と変化電圧の4個の電圧値によって制御したことである。

【0013】さらに電流源413の制御式として、分数多項式で表わした際の分母の多項式の最高次数が分子の多項式の最高次数以上となるようにしたことが特徴である。

【0014】

$$I_{ss} = f_1(V_4, V_6) \times f_2(V_5) + f_3(V_4, V_6) \times f_4(V_7) \quad \dots (数3)$$

【0022】ここで f_1 、 f_2 、 f_3 、 f_4 はそれぞれ V_4 と V_6 、 V_5 、 V_4 と V_6 、 V_7 に関して偏微分または全微分可能な関数であり、数4を満たすものとす

【作用】新たに付加した電流源を上記手段の通り4個の電圧で制御することにより、出力抵抗の周波数依存性と相互コンダクタンスの周波数依存性のバイアス依存性を実現し、ギガヘルツ帯での大信号解析を可能とすることができる。またこの電流源を複数個導入することにより、複数の周波数領域でのドレイン出力抵抗の周波数依存性と相互コンダクタンスの周波数依存性を同時に表現することを可能とする。

【0015】一方、電流源413の制御式を上記手段の通りとすることで高ゲート電圧時におけるドレイン電流の飽和特性の解析を可能とする。

【0016】

【実施例】以下、実施例において本発明の詳細について記述する。

【0017】実施例の中には能動素子として電界効果トランジスタについて記述しているものもあるが、バイポーラ・トランジスタについても同様である。

【0018】本発明における能動素子の等価電気回路を図3に示す。図3において点線内の記号2は出力抵抗と相互コンダクタンスの周波数依存性を表現しない能動素子の等価電気回路、例えば図2の電気回路を表わすものとする。 V_1 、 V_2 、 V_3 を能動素子の電極端子10、20、30または、内部端子11、21、31の電位とし、 V_4 、 V_5 、 V_6 、 V_7 を数2で表わされる電圧値とする。

【0019】

【数2】

$$\left. \begin{array}{l} V_4 = (V_1 - V_3) DC, V_5 = V_1 - V_3 - V_4 \\ V_6 = (V_2 - V_3) DC, V_7 = V_2 - V_3 - V_6 \end{array} \right\} \dots (数2)$$

【0020】ここで V_4 と V_6 の式における添字のDCは直流評価を意味し、 V_4 は端子10と端子30間、または端子11と端子31間の直流バイアス電圧を、 V_6 は端子20と端子30間、または端子21と端子31間の直流バイアス電圧を、 V_5 は端子10と端子30間、または端子11と端子31間の直流バイアス電圧に対する変化電圧値を、 V_7 は端子20と端子30間、または端子21と端子31間の直流バイアス電圧に対する変化電圧値を表わす。この4個の電圧 V_4 、 V_5 、 V_6 、 V_7 を用いて新規に付加した電圧制御電流源444の電流値 I_{ss} は数3に従って制御される。

【0021】

【数3】

る。

【0023】

【数4】

5

$$V5 > 0 : f1(V4, V6) \times f2(V5) > 0$$

$$V5 < 0 : f1(V4, V6) \times f2(V5) < 0$$

$$V7 > 0 : f3(V4, V6) \times f4(V7) < 0$$

$$V7 < 0 : f3(V4, V6) \times f4(V7) > 0$$

$$f1(V4, V6) \times \frac{d(f2)}{d(V5)} \geq 0, \quad f3(V4, V6) \times \frac{d(f4)}{d(V7)} \leq 0$$

$$f2(V5=0)=0, \quad f4(V7=0)=0$$

6

…(数4)

【0024】図3において端子11を出力端子、端子21を入力端子、端子31を共通端子とした際、点線内の記号2の電気回路の出力抵抗と相互コンダクタンスをそれぞれ r_{out1} 、 g_{m1} とすると、図3の電気回路の端子11、21、31からみた出力抵抗 r_{out} と相互コンダクタンス g_m は直流時では数5で表わされ、交流時では数6で表わされる。

【0025】

【数5】

$$g_m = g_{m1}$$

$$r_{out} = r_{out1}$$

…(数5)

【0026】

【数6】

$$g_m = g_{m1} + f3(V4, V6) \times \frac{d(f4)}{d(V7)}$$

$$r_{out} = \left(r_{out1}^{-1} + f1(V4, V6) \times \frac{d(f2)}{d(V5)} \right)^{-1}$$

…(数6)

【0027】数4の条件により、出力抵抗、相互コンダクタンスは共に交流時において直流時の値に対して減少することとなり、実際の電界効果トランジスタで生じる出力抵抗、相互コンダクタンスの周波数依存性と一致する。図3の等価電気回路を用いることにより、出力抵抗、相互コンダクタンスの周波数依存における $V4$ 、 $V6$ の2個の直流バイアス電圧依存性を考慮した電気回路の検証ができる。

【0028】次に、上記の $V4$ 、 $V5$ 、 $V6$ 、 $V7$ を得る方法について実施例を通して記述する。

【0029】実施例1として、回路シミュレータによる直流解析の後、図3の端子10、20、30、または端子11、21、31の直流電位 $V1$ (DC)、 $V2$ (DC)、 $V3$ (DC)をシミュレータ内部の記憶装置内に格納しておき、その後の直流バイアス点を中心とした大信号解析

(時間領域での解析または周波数領域での解析)において、既に記憶装置内に格納した直流電位 $V1$ (DC)、 $V2$ (DC)、 $V3$ (DC)を随時参照するとともに電位 $V1$ 、 $V2$ 、 $V3$ を検出して数4の計算をシミュレータ内部でおこなうことにより $V4$ 、 $V5$ 、 $V6$ 、 $V7$ を得ることができ、この方法を使い図3の等価電気回路を用いて、電子回路のシミュレーションをおこなう。この例で $V1$ (D

10 C)、 $V2$ (DC)、 $V3$ (DC)の代わりに、直流電圧 $V4$ と $V6$ をシミュレータ内部の記憶装置内に格納してもよい。本実施例1により出力抵抗、相互コンダクタンスの周波数依存における $V4$ 、 $V6$ の2個の直流バイアス電圧依存性を考慮した電気回路の検証ができる。

【0030】実施例2として、図4に示す電気回路を使用して $V4$ 、 $V5$ 、 $V6$ 、 $V7$ を検出することにより、図3の等価電気回路を用いて電子回路のシミュレーションをおこなう。ここで直流解析の結果求めた直流バイアス値は、直流バイアス点を中心としたギガヘルツ帯での大信号解析(時間領域、または周波数領域解析)において、1マイクロ秒以上という非常に大きい時定数を有する積分回路を用いて検出することができる。図4ではこの積分回路として抵抗150と容量250と理想的なオペアンプ3(入力インピーダンス=無限大、出力インピーダンス=ゼロ、電圧利得=無限大)を用いて構成しており、積分動作の時定数 τ (秒)は抵抗150の値 R (オーム)と容量250の値 C (ファラッド)から数7により求まる。

【0031】

30 【数7】

$$\tau = R \times C$$

…(数7)

【0032】 R の値として100キロオーム以上で、 C の値として1マイクロファラッド以下で、時定数が1マイクロ秒以上となるように設定すればよい。

【0033】図5に理想的オペアンプの等価電気回路を示す。図5において電圧制御電圧源550により端子53に対する端子50の電圧が、端子53に対する反転端子54の電圧に等しい様に制御され、一方電圧制御電圧源551により端子52に対する端子50の電圧が、端子52に対する非反転端子55の電圧に等しい様に制御される。

【0034】図4の積分回路を2個用意し、そのうちの1個の積分回路Aについては入力端子51を図3の端子10または11に接続し、共通端子52を図3の端子30または31に接続する。もう1個の積分回路Bについては入力端子51を図3の端子20または21に接続し、共通端子52を図3の端子30または31に接続する。積分回路Aの共通端子52に対する出力端子53の電圧は直流バイアス電圧 $V4$ に等しく、積分回路Bの共通端子52に対する出力端子53の電圧は直流バイアス

50

7

電圧V6と等しい。また積分回路Aの出力端子53に対する入力端子51の電圧は変化電圧V5に等しく、積分回路Bの出力端子53に対する入力端子51の電圧は変化電圧V7に等しい。また積分回路の時定数を、出力抵抗または相互コンダクタンスの周波数依存性の時定数と等しく設定することにより、出力インピーダンス及び伝達アドミタンスは時定数よりも遅い時間変化に対して純抵抗性となり、一方時定数よりも十分速い時間変化に対して純抵抗性となって実際のデバイス特性と一致するので、ギガヘルツ帯から直流領域までの極めて広帯域での小信号解析と大信号解析（時間領域、周波数領域共）を可能とする。以上、図3と図4を組合せた等価電気回路を用いる本実施例2により、出力抵抗、相互コンダクタンスの周波数依存におけるV4、V6の2個の直流バイアス電圧依存性を考慮した電気回路の検証ができる。

【0035】実施例3として実施例2での積分回路の代わりに図6の抵抗150と容量250と理想的オペアンプ3による積分回路を使用してV4、V5、V6、V7を検出することにより、図3の等価電気回路を用いて電子回路のシミュレーションをおこなう。理想的オペアンプ3の等価電気回路としては実施例2と同様に図5の電気回路を用いる。図6の積分回路を実施例2と同様に2個用い、抵抗150の値Rとして100キロオーム以上の値で、容量250の値Cとして1マイクロファラッド以下の値で数7で決まる時定数が1マイクロ秒以上となるように設定することにより、実施例2の積分回路よりも容易にV4、V5、V6、V7が得られ、計算効率が改善される。図6において出力端子53に対する共通端子52の電圧は直流バイアス電圧V4またはV6に等しく、入力端子51と出力端子53の電位の和は変化電圧V5またはV7に等しい。また積分回路の時定数を、出力抵抗または相互コンダクタンスの周波数依存性の時定数と等しく設定することにより、出力インピーダンス及び伝達アドミタンスは時定数よりも遅い時間変化に対して純抵抗性となり、一方時定数よりも十分速い時間変化に対して純抵抗性となって実際のデバイス特性と一致するので、ギガヘルツ帯から直流領域までの極めて広帯域での小信号解析と大信号解析（時間領域、周波数領域共）を可能とする。以上、図3と図6を組合せた等価電気回路を用いる本実施例3により、出力抵抗、相互コンダクタンスの周波数依存におけるV4、V6の2個の直流バイアス電圧依存性を考慮した電気回路の検証ができる。

【0036】実施例4として実施例2での積分回路の代わりに図7の簡単な抵抗150と容量250による積分回路を使用してV4、V5、V6、V7を検出することにより、図3の等価電気回路を用いて電子回路のシミュレーションをおこなう。図7の積分回路を実施例2と同様に2個用い、抵抗150の値Rとして100キロオーム以上の値で、容量250の値Cとして1マイクロファ

8

ラッド以下の値で数7で決まる時定数が1マイクロ秒以上となるように設定することにより、実施例2や実施例3の積分回路よりも容易にV4、V5、V6、V7が得られ、計算効率が改善される。図7において共通端子52に対する出力端子53の電圧は直流バイアス電圧V4またはV6に等しく、出力端子53に対する入力端子51の電圧は変化電圧V5またはV7に等しい。また積分回路の時定数を、出力抵抗または相互コンダクタンスの周波数依存性の時定数と等しく設定することにより、出力インピーダンス及び伝達アドミタンスは時定数よりも遅い時間変化に対して純抵抗性となり、一方時定数よりも十分速い時間変化に対して純抵抗性となって実際のデバイス特性と一致するので、ギガヘルツ帯から直流領域までの極めて広帯域での小信号解析と大信号解析（時間領域、周波数領域共）を可能とする。以上、図3と図7を組合せた等価電気回路を用いる本実施例4により、出力抵抗、相互コンダクタンスの周波数依存におけるV4、V6の2個の直流バイアス電圧依存性を考慮した電気回路の検証ができる。

【0037】実施例5として、実施例2での積分回路の代わりに図8の抵抗150と容量250と電圧制御電流源400からなる積分回路を使用してV4、V5、V6、V7を検出することにより、図3の等価電気回路を用いて電子回路のシミュレーションをおこなう。図8の積分回路は実施例4における積分回路（図7）の入力部を電圧制御電流源400で置換した回路であり、共通端子52に対する入力端子51の電圧をV0（ボルト）、電流源400の電流値をI0（アンペア）、抵抗150の値をR（オーム）として数8が成立するように電流源400を制御することとする。

【0038】

【数8】

$$I_0 = \frac{V_0}{R} \quad \dots(\text{数8})$$

【0039】図8の積分回路を実施例2と同様に2個用い、抵抗150の値Rとして100キロオーム以上の値で、容量250の値Cとして1マイクロファラッド以下の値で数7で決まる時定数が1マイクロ秒以上となるように設定することにより、実施例2や実施例3の積分回路よりも容易にV4、V5、V6、V7が得られ、計算効率が改善される。図7において共通端子52に対する出力端子53の電圧は直流バイアス電圧V4またはV6に等しく、出力端子53に対する入力端子51の電圧は変化電圧V5またはV7に等しい。また積分回路の時定数を、出力抵抗または相互コンダクタンスの周波数依存性の時定数と等しく設定することにより、出力インピーダンス及び伝達アドミタンスは時定数よりも遅い時間変化に対して純抵抗性となり、一方時定数よりも十分速い時間変化に対して純抵抗性となって実際のデバイス特性と一致するので、ギガヘルツ帯から直流領域までの極め

て広帯域での小信号解析と大信号解析（時間領域、周波数領域共）を可能とする。以上、図3と図8を組合せた等価電気回路を用いる本実施例5により、出力抵抗、相互コンダクタンスの周波数依存性におけるV4、V6の2個の直流バイアス電圧依存性を考慮した電気回路の検証ができる。

【0040】実施例6として、図9の電気回路を使用してV4、V5、V6、V7を検出することにより、図3の等価電気回路を用いて電子回路のシミュレーションをおこなう。実施例2と同様に図9の電気回路を2個用意し、そのうちの1個の電気回路Aについては端子56は図3の端子10または11に接続され、端子57は図3の端子30または31に接続される。もう1個の図9の電気回路Bについては端子56は図3の端子20または21に接続され、端子57は図3の端子30または31に接続される。積分回路700は実施例2または実施例3または実施例4での積分回路であり、共通端子52に対する入力端子51の電圧が端子57に対する端子56の電圧に等しくなるように電圧制御電圧源500を用いて端子56と端子51を電気的に隔離してある。これにより積分回路700内の容量250が端子10、20、30、または端子11、21、31から電気的に隔離されるため、積分回路700内の抵抗150の値Rと容量250の値Cは数7で決まる時定数が1マイクロ秒以上となるように設定すればよく、Cの値は1マイクロファラッド以上であってかまわない。ギガヘルツ帯から直流領域までの極めて広帯域での小信号解析と大信号解析（時間領域、周波数領域共）を可能とする。さらに、端子57と共通端子52を端子56と入力端子51の場合と同様に電気的に隔離してもよい。以上、図3と図9を組合せた等価電気回路を用いる本実施例6により、出力抵抗、相互コンダクタンスの周波数依存性におけるV4、V6の2個の直流バイアス電圧依存性を考慮した電気回路の検証ができる。

【0041】実施例7として図10に示す等価電気回路を用いて電子回路のシミュレーションをおこなう。各端子間の直流バイアス電圧及び直流バイアス電圧からの変化電圧を検出する方法800、900としては実施例1、または実施例2、または実施例3、または実施例4、または実施例5、または実施例6における方法を用いる。電流源444の電流値は800、900から求まるドレイン・ソース間の直流バイアス電圧V4と変化電圧V5により数3に従って制御される。ここでV6を一定の値とし、V7をゼロとすることで、出力抵抗の周波数依存性におけるドレイン・ソース間直流バイアス電圧依存性を考慮に入れた電気回路の検証ができる。さらに本実施例7において、V6の代わりにゲート・ソース間の電圧（端子31に対する端子21の電圧、または端子30に対する端子20の電圧）を使用することにより、大信号解析において正確な電気回路の検証を可能とする。

【0042】実施例8として図11に示す等価電気回路を用いて電子回路のシミュレーションをおこなう。各端子間の直流バイアス電圧及び直流バイアス電圧からの変化電圧を検出する方法800、900としては実施例1、または実施例2、または実施例3、または実施例4、または実施例5、または実施例6における方法を用いる。電流源444の電流値は800、900から求まるゲート・ソース間の直流バイアス電圧V6とドレイン・ソース間の変化電圧V5により数3に従って制御される。ここでV4を一定の値に、V7をゼロとすることで、出力抵抗の周波数依存性におけるゲート・ソース間直流バイアス電圧依存性を考慮に入れた電気回路の検証ができる。

【0043】実施例9として図12に示す等価電気回路を用いて電子回路のシミュレーションをおこなう。各端子間の直流バイアス電圧及び直流バイアス電圧からの変化電圧を検出する方法800、900としては実施例1、または実施例2、または実施例3、または実施例4、または実施例5、または実施例6における方法を用いる。電流源444の電流値は800、900から求まるドレイン・ソース間の直流バイアス電圧V4とゲート・ソース間の変化電圧V7により数3に従って制御される。ここでV6を一定の値に、V5をゼロとすることで、相互コンダクタンスの周波数依存性におけるドレイン・ソース間直流バイアス電圧依存性を考慮に入れた電気回路の検証ができる。

【0044】実施例10として図13に示す等価電気回路を用いて電子回路のシミュレーションをおこなう。各端子間の直流バイアス電圧及び直流バイアス電圧からの変化電圧を検出する方法800、900としては実施例1、または実施例2、または実施例3、または実施例4、または実施例5、または実施例6における方法を用いる。電流源444の電流値は800、900から求まるゲート・ソース間の直流バイアス電圧V6と変化電圧V7により数3に従って制御される。ここでV4を一定の値に、V5をゼロとすることで、相互コンダクタンスの周波数依存性におけるゲート・ソース間直流バイアス電圧依存性を考慮に入れた電気回路の検証ができる。さらに本実施例10においてV4の代わりにドレイン・ソース間の電圧（端子31に対する端子11の電圧、または端子30に対する端子10の電圧）を使用することにより、大信号解析において正確な電気回路の検証を可能とする。

【0045】実施例11として、実施例7と実施例8を組合せた図14に示す等価電気回路を用いて電子回路のシミュレーションをおこなう。各端子間の直流バイアス電圧を検出する方法800としては実施例1、または実施例2、または実施例3、または実施例4、または実施例5、または実施例6における方法を用いる。ドレイン・ソース間の変化電圧V5は、実施例1から実施例6ま

での方法を用いる代わりに電流源444と容量260を直列に接続した回路において、電流源444の端子間電圧によって与えられる。その際の条件は容量260の値C（ファラッド）と数3における関数 $f_2(V_4, V_6)$ の逆数の最小値をR（オーム）として数7で決まる時定数が1マイクロ秒以上となり、かつCが1マイクロファラッド以下となることである。電流源444の電流値は800から求まるドレイン・ソース間及びゲート・ソース間の直流バイアス電圧 V_4, V_6 と、変化電圧 V_5 により数3に従って制御される。ここで V_7 はゼロとする。またドレイン・ソース間直流バイアス電圧 V_4 としてドレイン・ソース間の800を用いず、容量260の端子間電圧を V_4 として用いてもよい。本実施例11により出力抵抗の周波数依存におけるドレイン・ソース間及びゲート・ソース間直流バイアス電圧依存性を考慮に入れた電気回路の検証ができる。さらに本実施例11において、 V_6 の代わりにゲート・ソース間の電圧（端子31に対する端子21の電圧、または端子30に対する端子20の電圧）を使用することにより、大信号解析において正確な電気回路の検証を可能とする。

【0046】実施例12として図15に示す等価電気回路を用いて電子回路のシミュレーションをおこなう。図15は実施例11での等価電気回路を電圧制御電圧源510を用いて電流源444と容量260の直列回路を端子11から電気的に隔離し、この電圧源510と電流源444と容量260の閉回路に流れる電流と等しい電流を電流制御電流源600により端子11-31間に流す。ここで電圧源510の電圧は、端子59に対する端子61の電圧が端子58に対する端子60の電圧と等しくなるように制御される。上記の構成とすることで容量260は端子11, 31から電気的に隔離されるため、容量260の値C（ファラッド）は、数3における関数 $f_2(V_4, V_6)$ の逆数の最小値をR（オーム）として数7で決まる時定数が1マイクロ秒以上となるように設定すればよく、Cは1マイクロファラッド以上でもかまわない。またドレイン・ソース間直流バイアス電圧 V_4 としてドレイン・ソース間の800を用いず、容量260の端子間電圧を V_4 として用いてもよい。さらに端子58と端子59を電気的に隔離してもよい。本実施例12により出力抵抗の周波数依存におけるドレイン・ソース間及びゲート・ソース間直流バイアス電圧依存性を考慮に入れた電気回路の検証ができる。さらに本実施例12において、 V_6 の代わりにゲート・ソース間の電圧（端子31に対する端子21の電圧、または端子30に対する端子20の電圧）を使用することにより、大信号解析において正確な電気回路の検証を可能とする。

【0047】実施例13として実施例7、または実施例8、または実施例9、または実施例10、または実施例11、または実施例12における等価電気回路を組合せた等価電気回路を用いて電子回路のシミュレーションを

おこなう。本実施例13により出力抵抗の周波数依存または相互コンダクタンスの周波数依存におけるドレイン・ソース間直流バイアス電圧依存性またはゲート・ソース間直流バイアス電圧依存性を考慮に入れた電気回路の検証ができる。

【0048】実施例14として図16に示す等価電気回路を用いて電子回路のシミュレーションをおこなう。各端子間の直流バイアス電圧及び直流バイアス電圧からの変化電圧を検出する方法としては実施例2、または実施例3、または実施例4、または実施例5、または実施例6における積分回路による方法を用いる。ここで、積分回路710と積分回路720の時定数は各々の回路中の抵抗値と容量値から数7により決まるが、積分回路710と積分回路720の時定数が異なるように各々の回路中の抵抗値と容量値を設定する。電圧制御電流源444は積分回路710から求まる V_4, V_5, V_6, V_7 により数3に従って制御される。また、電圧制御電流源455は積分回路720から求まる V_4, V_5, V_6, V_7 により数3に従って制御される。本実施例14により2個の異なる時定数を有する出力抵抗の周波数依存及び相互コンダクタンスの周波数依存におけるドレイン・ソース間直流バイアス電圧依存性及びゲート・ソース間直流バイアス電圧依存性を考慮に入れた電気回路の検証ができる。なお、電流源444と455は1個の電流源で表わしてもよい。さらに本実施例14において、数3の関数 f_1 の中の V_6 の代わりにゲート・ソース間の電圧（端子31に対する端子21の電圧、または端子30に対する端子20の電圧）を使用し、関数 f_3 の中の V_4 の代わりにドレイン・ソース間の電圧（端子31に対する端子11の電圧、または端子30に対する端子10の電圧）を使用することにより、大信号解析において正確な電気回路の検証を可能とする。また、2個以上の異なる時定数を有する積分回路を使用することにより2個以上の異なる時定数を有する出力抵抗の周波数依存及び相互コンダクタンスの周波数依存におけるドレイン・ソース間直流バイアス電圧依存性及びゲート・ソース間直流バイアス電圧依存性を考慮に入れた電気回路の検証ができる。

【0049】実施例15として、能動素子の等価電気回路として図2の電気回路においてドレイン・ソース間電流を表わす電流源413の電流値 I_2 が数9によって表わされる等価電気回路を用いて電子回路のシミュレーションをおこなう。

【0050】

【数9】

$$I_2 = \frac{g(\xi)}{f(\xi)} \times h(V_{23}, V_{13})$$

$$\xi = k(V_{23}, V_{13})$$

…(数9)

【0051】ここでV23, V13はそれぞれ図2において、例えば端子23に対する端子21の電圧、及び端子31に対する端子11の電圧、つまりゲート・ソース間電圧とドレイン・ソース間電圧を表わす。数9において関数f(ξ), g(ξ)は共にξに関して微分可能な関数であり、h(V23, V13), k(V23, V13)は共にV23, V13の各々に対して偏微分可能な関数である。関数f(ξ), g(ξ)は共にξに関する多項式であり、関数f(ξ)の最高次数は関数g(ξ)の最高次数以上である。また、関数k(V23, V13)とh(V23, V13)はV23とV13に関する任意の関数であるが、数10の条件を有する。

【0052】

【数10】

$$\left. \begin{aligned} \frac{\partial k(V23, V13)}{\partial V23} &\geq 0 \\ \lim_{V23 \rightarrow +\infty} |h(V23, V13)| &\leq \epsilon(V13) < +\infty \end{aligned} \right\} \dots(\text{数10})$$

$$\left. \begin{aligned} I2 &= \frac{\beta \cdot \xi^{m+2}}{1+b0 \cdot \xi^m + b1 \cdot \xi^{m+1} + b2 \cdot \xi^{m+2}} \times h(V13) \\ \xi &= V23 + A0 \cdot V13 + A1 \\ h(V13) &= (1 + \lambda \cdot V13) \tanh(\alpha \cdot V13) \end{aligned} \right\} \dots(\text{数11})$$

【0056】ここでV23, V13はそれぞれ図2において、例えば端子23に対する端子21の電圧、及び端子31に対する端子11の電圧、つまりゲート・ソース間電圧とドレイン・ソース間電圧を表わす。またα, β, λ, m, b0, b1, b2, A0, A1はパラメータであり、mはマイナス2以上、b2はゼロでない値である。数11のI2はゲート・ソース間電圧V23を含む関数ξに関する分数多項式を含む形式で表わされている。ξに関する分数多項式の分母の多項式の最高次数は(m+2)であり、分子の多項式の最高次数(m+2)と等しい。本実施例16により、ゲート・ソース間電圧V23が高い時に見られるドレイン・ソース間電流の飽和特性を考慮に入れた電気回路の検証ができる。

【0057】実施例17として、ダイオードの等価電気回路として図17の電気回路においてダイオード電流を表わす電圧制御電流源470の電流値I3が数12によって表わされる等価電気回路を用いて電子回路のシミュレーションをおこなう。

【0058】

【数12】

$$\left. \begin{aligned} I3 &= \frac{\beta(\xi-1)}{1+b0 \cdot \xi} \\ \xi &= \exp(\alpha \cdot Vgc) \end{aligned} \right\} \dots(\text{数12})$$

【0053】すなわち、関数k(V23, V13)はV23に対して単調増加であり、関数h(V23, V13)はV23が無大に近づいたとき関数hの絶対値はV13の値で決まるある有限値ε(V13)以下となる条件を有する。本実施例15により、ゲート・ソース間電圧V23が高い時に見られるドレイン・ソース間電流の飽和特性を考慮に入れた電気回路の検証ができる。

【0054】実施例16として、能動素子の等価電気回路として図2の電気回路においてドレイン・ソース間電流を表わす電流源413の電流値I2が数11によって表わされる等価電気回路を用いて電子回路のシミュレーションをおこなう。

【0055】

【数11】

【0059】ここでVgcは端子71に対する端子72の電圧であり、α, β, b0はパラメータである。数12のI3は電圧Vgcを含む関数ξに関する分数多項式で表わされている。ξに関する分数多項式の分母の多項式の最高次数は1であり、分子の多項式の最高次数1と等しい。本実施例17により、ダイオードの端子間電圧Vgcが高い時に見られるダイオード電流の飽和特性を考慮に入れた電気回路の検証ができる。

【0060】実施例18として、能動素子の等価電気回路として図2の電気回路においてゲート・ドレイン間またはゲート・ソース間のダイオード電流を表わす電流源412または423の電流値I3が数12によって表わされる等価電気回路を用いて電子回路のシミュレーションをおこなう。ここでVgcは、電流源412での場合には端子12に対する端子21の電圧であり、電流源423での場合には端子23に対する端子21の電圧である。本実施例18により、ダイオードの端子間電圧Vgcが高い時に見られるダイオード電流の飽和特性を考慮に入れた電気回路の検証ができる。

【0061】実施例19として、能動素子の等価電気回路として実施例1、実施例2、実施例3、実施例4、実施例5、実施例6、実施例7、実施例8、実施例9、実施例10、実施例11、実施例12、実施例13、実施例14の中のいずれかの等価電気回路であり、この電気回路中の記号2で表わされる外部寄生素子のない能動素

子の等価電気回路に相当する部分の電流源の電流値が数9でのI2、または数11でのI2によって表わされる等価電気回路を用いて電子回路のシミュレーションをおこなう。本実施例19により、ゲート・ソース間電圧が高い時に見られるドレイン・ソース間電流の飽和特性と、単数個または複数個の異なる時定数を有する出力抵抗の周波数依存または相互コンダクタンスの周波数依存の各々におけるドレイン・ソース間直流バイアス電圧依存性またはゲート・ソース間直流バイアス電圧依存性を考慮に入れた電気回路の検証ができる。

【0062】

【発明の効果】本発明の等価電気回路をアナログ回路またはデジタル回路中の能動素子に適用して電気回路のシミュレーションをおこなうことにより、従来より精度の高い電気回路の検証が可能である。

【図面の簡単な説明】

- 【図1】従来の能動素子の等価電気回路。
 【図2】外部寄生素子の無い能動素子の等価電気回路。
 【図3】本発明での能動素子の等価電気回路。
 【図4】実施例2におけるV4、V5、V6、V7の検出回路。
 【図5】理想的オペアンプの等価電気回路。
 【図6】実施例3におけるV4、V5、V6、V7の検出回路。
 【図7】実施例4におけるV4、V5、V6、V7の検出回路。
 【図8】実施例5におけるV4、V5、V6、V7の検出回路。
 【図9】実施例6におけるV4、V5、V6、V7の検出回路。
 【図10】実施例7における能動素子の等価電気回路。
 【図11】実施例8における能動素子の等価電気回路。
 【図12】実施例9における能動素子の等価電気回路。
 【図13】実施例10における能動素子の等価電気回路。

【図14】実施例11における能動素子の等価電気回路。

【図15】実施例12における能動素子の等価電気回路。

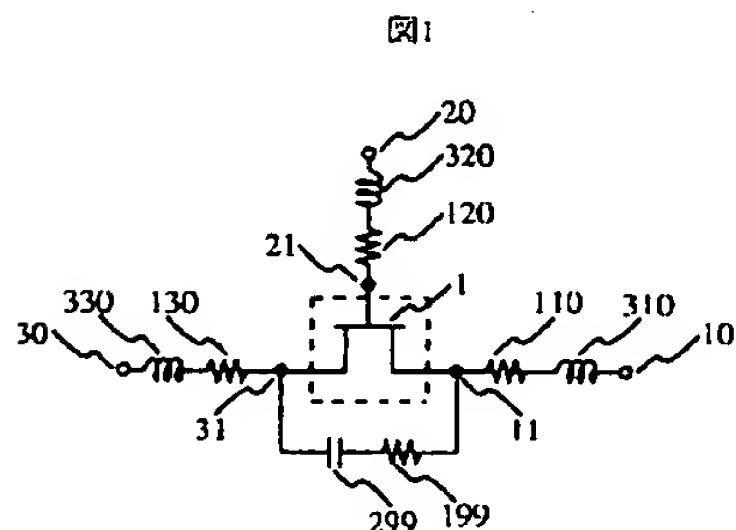
【図16】実施例14における能動素子の等価電気回路。

【図17】実施例17におけるダイオードの等価電気回路。

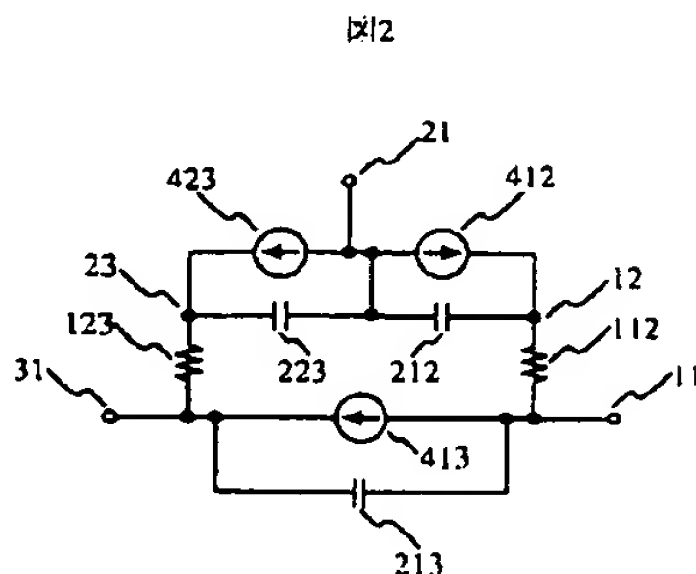
【符号の説明】

- 10 1, 2…外部寄生素子の無い能動素子、3…理想的オペアンプ、10…ドレイン電極端子、20…ゲート電極端子、30…ソース電極端子、11, 12, 21, 23, 31…能動素子の内部端子、50…オペアンプの内部端子、51, 52, 53…積分回路の入力、共通、出力端子、54…オペアンプの反転端子、55…オペアンプの非反転端子、56, 57, 58, 59, 60, 61…積分回路の電気的隔離用の端子、70, 71, 72…ダイオードの端子と内部端子、110, 120, 130…能動素子の外部寄生抵抗、112, 123…能動素子の内部寄生抵抗、150…積分回路用の抵抗、170…ダイオードの寄生抵抗、199…抵抗、212, 213, 223…能動素子の内部寄生容量、250, 260…積分回路用の容量、270…ダイオードの寄生容量、299…容量、310, 320, 330…能動素子の外部寄生インダクタンス、400…電圧制御電流源（積分回路）、412, 423…電圧制御電流源（能動素子のダイオード電流）、413…電圧制御電流源（能動素子のチャネル電流）、444, 455…電圧制御電流源（本発明に関する）、470…電圧制御電流源（ダイオード電流）、500, 510…電圧制御電圧源（積分回路の電気的隔離）、550, 551…電圧制御電圧源（オペアンプの等価電気回路）、600…電流制御電流源、700, 710, 720…積分回路、800…直流バイアス電圧検出方法、900…変化電圧検出方法。

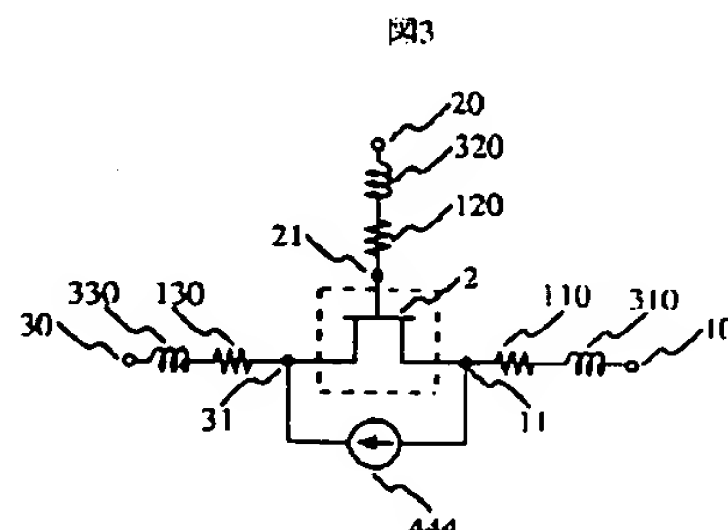
【図1】



【図2】

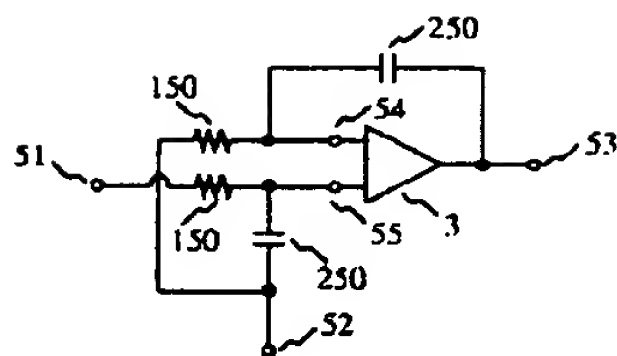


【図3】



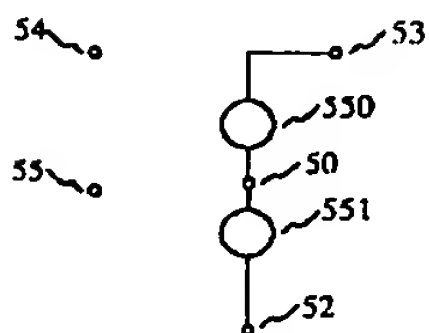
【図4】

図4



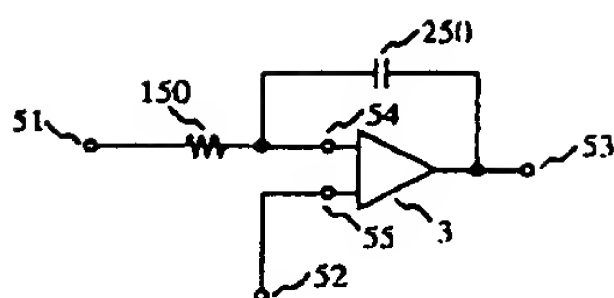
【図5】

図5



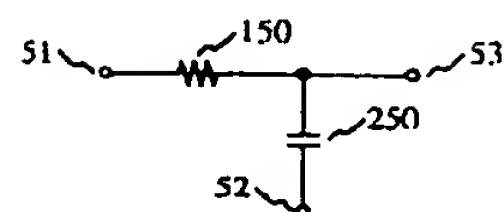
【図6】

図6



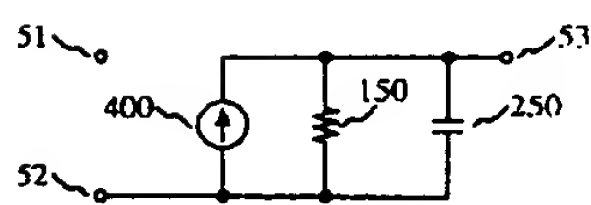
【図7】

図7



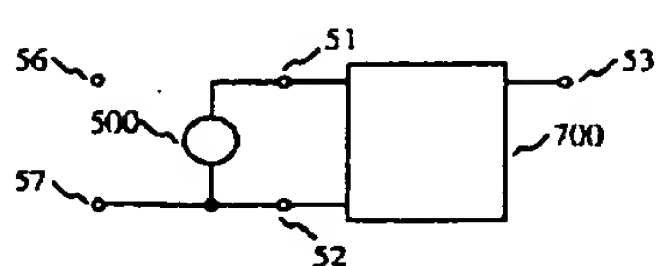
【図8】

図8



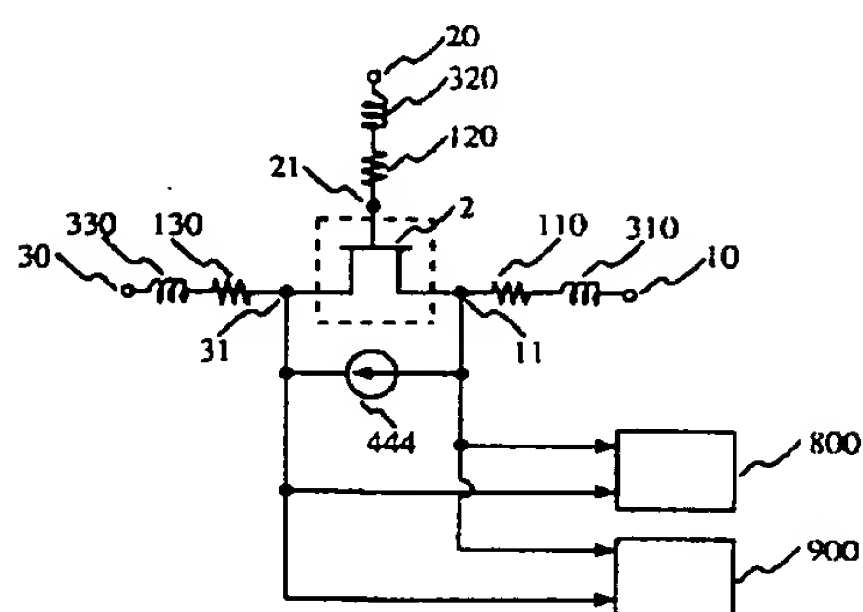
【図9】

図9



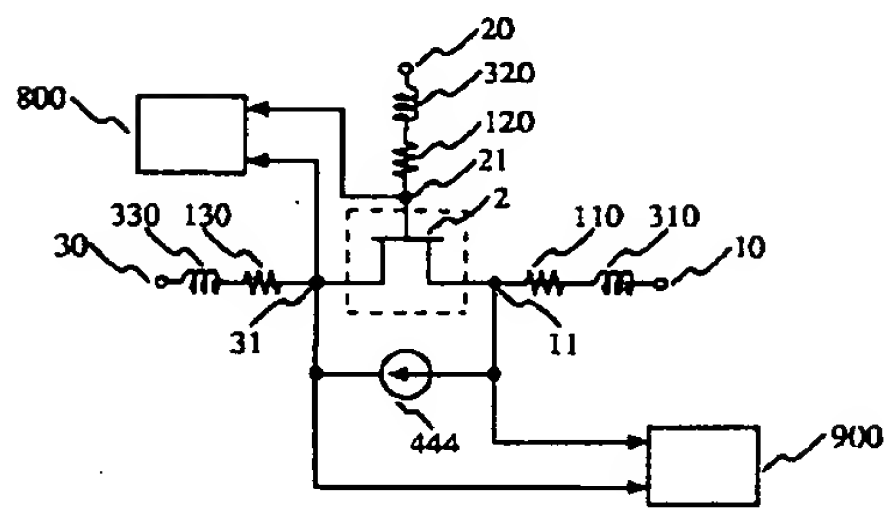
【図10】

図10



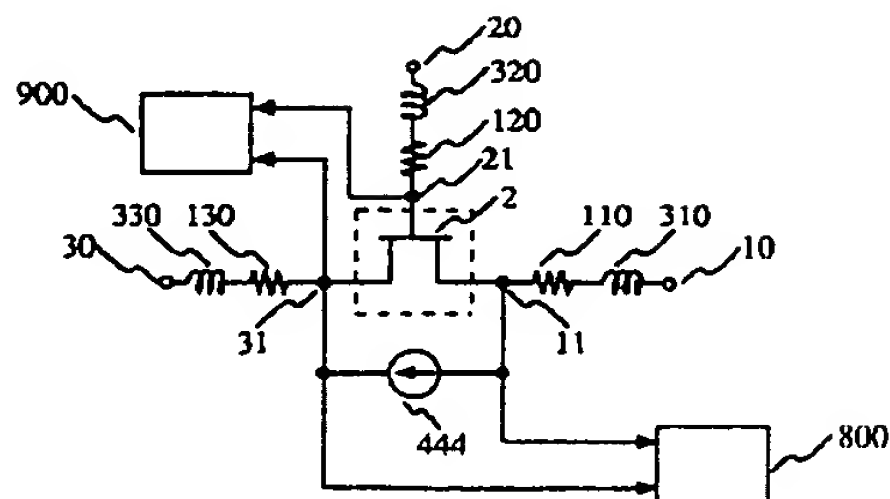
【図11】

図11



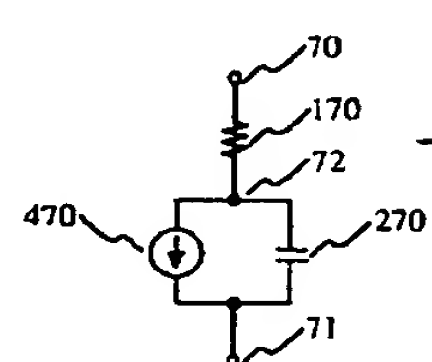
【図12】

図12



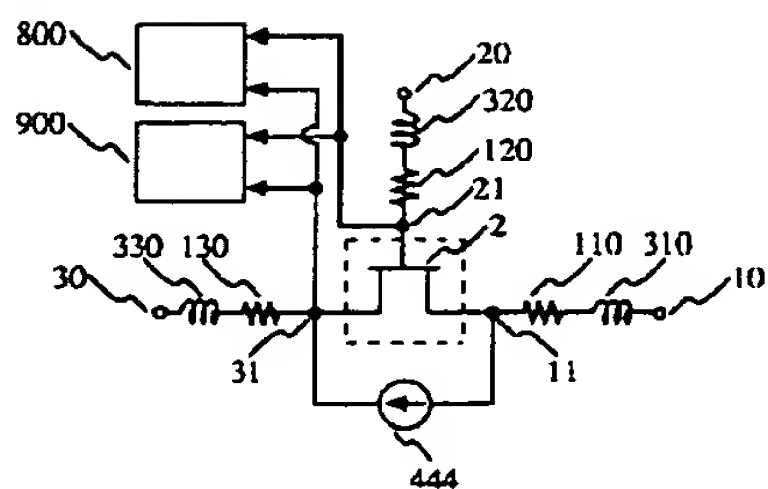
【図17】

図17



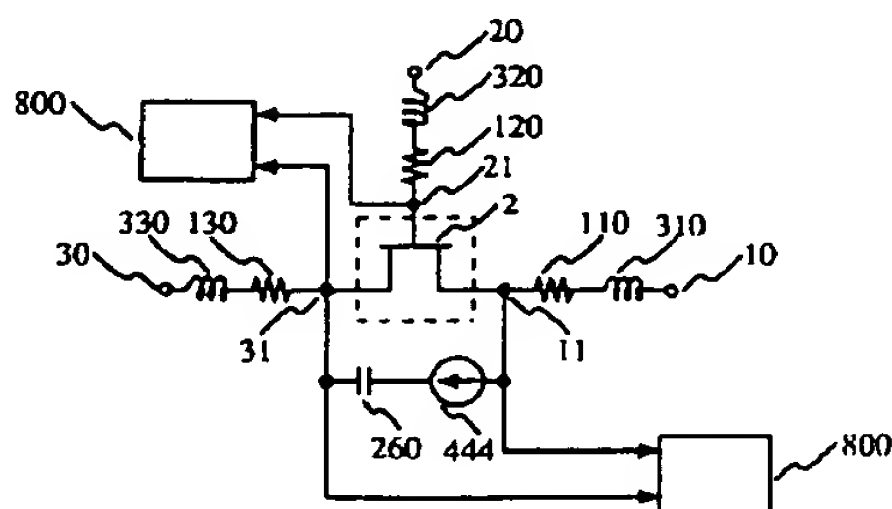
【図13】

図13



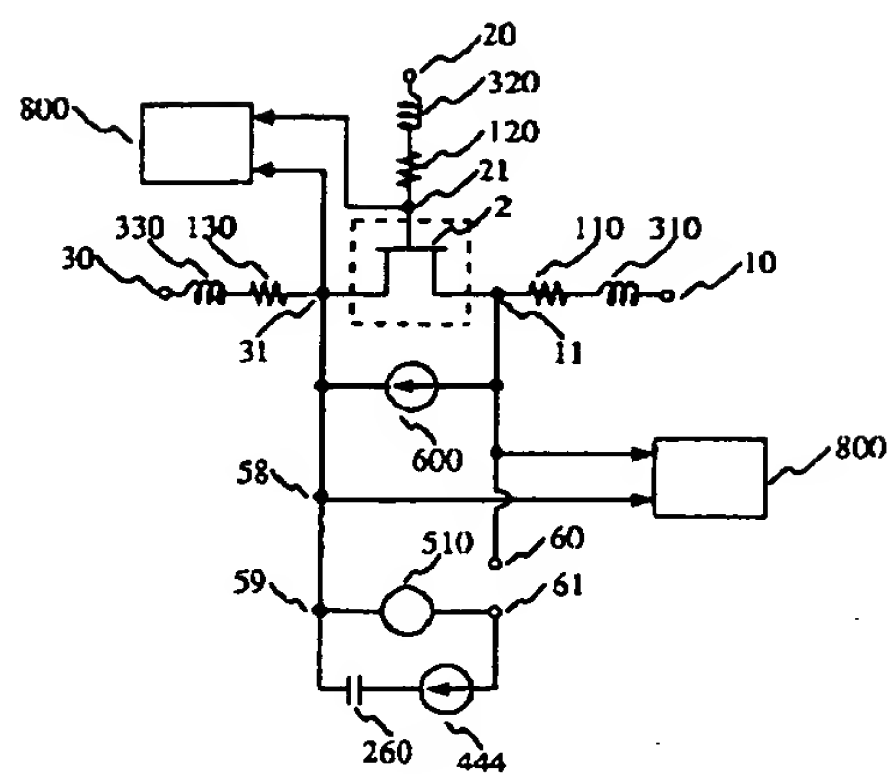
【図14】

図14



【図15】

図15



【図16】

図16

